

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(54) HIGH VOLTAGE INSULATED GATE TYPE FIELD-EFFECT TRANSISTOR

(11) 60-64471 (A) (43) 13.4.1985 (19) JP

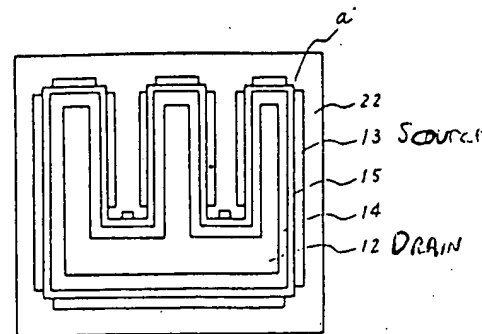
(21) Appl. No. 58-172555 (22) 19.9.1983

(71) NIPPON DENKI K.K. (72) MIKIKO SAITOU

(51) Int. Cl. H01L29/78//H01L29/36, H01L29/52

**PURPOSE:** To prevent the permanent breakdown generating on the titled transistor by a method wherein the region, to be turned to the source region 13 opposing to the corner part of a drain region 12, is converted to an earth lead-out region 22, thereby enabling to stop the injection of electrons to a substrate from the above-mentioned part.

**CONSTITUTION:** A high voltage insulated gate type FET is constituted in such a manner that the plane shape wherein the region to be turned to a source region 13 opposing to the corner part of a drain region 12 will be included is an earth lead-out region 22, and that the high withstand voltage drain region opposing to the corner part of the drain region 12 will be pushed out in the direction of the end part on the source region side of an offset gate region 14. As a result, the injection of carrier from the source region opposing to the corner part of the drain region is completely stopped, the source substrate junction is brought in the state where it is hardly forward-biased, and the current concentration in the high voltage drain region is relieved.



257/409

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 昭60-64471

⑫ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和60年(1985)4月13日

H 01 L 29/78  
// H 01 L 29/36  
29/52

8422-5F

審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 高電圧絶縁ゲート型電界効果トランジスタ

⑮ 特 願 昭58-172555

⑯ 出 願 昭58(1983)9月19日

⑰ 発 明 者 齋 藤 美 紀 子 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

高電圧絶縁ゲート型電界効果トランジスタ

2. 特許請求の範囲

(1) 一導電型の半導体基板の一主面に設けられた逆導電型のソース領域及びドレイン領域と、該ドレイン領域に接して設けられた逆導電型のオフセットゲート領域と、該オフセットゲート領域と前記ソース領域間に形成されるチャネル領域と、前記ソース領域の底面に接して設けられた高不純物濃度の一導型の埋込みアース領域と、該埋込みアース領域と前記ソース領域と前記半導体基板の一主面に接して設けられた高不純物濃度の一導電型のアース引出し領域と、該アース引出し領域と前記ソース領域とを電気的に接続するソース電極とを備える高電圧絶縁ゲート型電界効果トランジスタにおいて、前記ドレイン領域のコーナ部分に対向する前記ソース領域

となるべき領域が前記アース引出し領域に包含された形状の平面形状を有することを特徴とする高電圧絶縁ゲート型電界効果トランジスタ。

(2) 一導電型の半導体基板の一主面に設けられた逆導電型のソース領域及びドレイン領域と該ドレイン領域に接して設けられた逆導電型のオフセットゲート領域と、該オフセットゲート領域と前記ソース領域間に形成されるチャネル領域と、前記ソース領域の底面に接して設けられた高不純物濃度の一導型の埋込みアース領域と、該埋込みアース領域と前記ソース領域と前記半導体基板の一主面に接して設けられた高不純物濃度の一導電型のアース引出し領域と、該アース引出し領域と前記ソース領域とを電気的に接続するソース電極とを備える高電圧絶縁ゲート型電界効果トランジスタにおいて、前記オフセットゲート領域の一部分と前記ドレイン領域に接して低不純物濃度の逆導電型の高耐圧化ドレイン領域を設け、かつ、前記ドレイン領域のコーナ部分に対向する前記ソース領域となるべき

領域が前記アース引出し領域に包含され、前記ドレイン領域のコーナ部分に対向する前記高耐圧化ドレイン領域が前記オフセットゲート領域のソース領域側の端部の方へ押し出された形状の平面形状を有することを特徴とする高電圧絶縁ゲート型電界効果トランジスタ。

### 3. 発明の詳細な説明

本発明はドレイン耐圧の高い高電圧絶縁ゲート型電界効果トランジスタに関する。

一般に、絶縁ゲート型電界効果トランジスタ(以下、MOS トランジスタで代表して説明する。)は多数キャリア素子なので高速動作が可能、熱暴走がない、などの優れた特徴を持っており、高速パワー素子として期待できる。

しかし、通常のMOS トランジスタのドレイン耐圧は高々数10Vしかなく、パワー素子として使うためには、ドレイン耐圧を向上させる必要があり、このために種々の構造が提案されている。中でもオフセットゲート形のMOS トランジスタ

は、低電圧動作の論理回路と同一チップに集積化するのが容易なので、集積回路用の高耐圧素子としても有望である。

第1図に従来のオフセットゲート形MOS トランジスタの断面図を示す。

同図において、1は低不純物濃度(例えば $6 \times 10^{14}/\text{cm}^3$ )のP形シリコンよりなる半導体基板、2は高濃度N型領域からなるドレイン領域、3は高濃度N型領域よりなるソース領域、4はN型の低不純物濃度のオフセットゲート領域、5はチャネル領域、6は低抵抗の多結晶シリコンよりなるゲート電極、7はアルミニウムよりなるドレイン電極、同じく8はソース電極、9はゲートシリコン酸化膜、10はフィールドシリコン酸化膜である。

第1図のMOS トランジスタにおいて、ドレインをコレクタ、基板をベース、ソースをエミッタとする寄生バイポーラトランジスタが存在し、この寄生バイポーラトランジスタがターンオンすることにより負性抵抗や永久破壊を起こしたりする

欠点があった。

寄生バイポーラトランジスタのターンオンを防止する方法として、エミッタ接合(ソース-基板間接合)が順バイアスされないように、ソース直下に基板と同じ導電型の高濃度層を設け、これをソースと等電位にする方法が特願昭和58-130143により提案されている。このような原理に基づいた高電圧MOS トランジスタの構造を第2図に示す。

この高電圧MOS トランジスタは、同図に示すように、ソース領域13の直下に高濃度P型領域よりなる埋込みアース領域21と、この埋込みアース領域21、ソース領域13及び半導体基板11の表面に接する高濃度P型領域よりなるアース引出し領域22を設け、更にアース引出し領域22とソース領域13とを電気的に接続してソース電極18としたものである。なお11はP型シリコンよりなる半導体基板、12はドレイン領域、13はソース領域、14はオフセットゲート領域、15はチャネル領域、16はゲート電極、17はドレ

イン電極、19はゲートシリコン酸化膜、20はフィールドシリコン酸化膜である。

この構造の高電圧MOS トランジスタは、ドレインの平面形状を例えば、半径100 $\mu\text{m}$ 以上の円形状にすれば、使用動作範囲内で実用上問題となる負性抵抗や永久破壊は全く起こらない。

一方、パワー素子として応用していくには、ドレイン電流を大きくする必要がありこのためゲート幅は大きく設計される。ゲート幅を大きくする構造として第3図のように平面形状を楕形構造にすることが知られている。同図において、31はドレイン領域、32はオフセットゲート領域、33はチャネル領域、34はソース領域、35はアース引出し領域である。このような構造にするとチャネル幅は、大きく設計できる。

第3図の楕形構造のMOS トランジスタの楕形の端部分のドレイン領域のコーナ部分の形状は、矩形、多角形あるいは円形が用いられる。そして、矩形や多角形の形状が用いられた場合は、角の部分で強い電界集中が起きたり、円形状の場合でも

ドレイン領域のコーナ部分曲率半径 $R$ が小さくなるとドレイン領域のコーナ部分での電界集中が強くなる。この電界集中は第2図の高電圧MOSトランジスタの負性抵抗や破壊に対する強さを弱める働きをする。第4図にドレイン領域のコーナ部分曲率半径 $R$ と破壊電流 $I_{BL}$ の関係を実験的に求めた例を示す。ただし、ここでの $I_{BL}$ は、ドレイン電流-ドレイン電圧特性において、負性抵抗、あるいは永久破壊を起こす電流値である。このように曲率半径が小さくなると負性抵抗、永久破壊を起こしやすくなる。

第5図は高電圧MOSトランジスタのもう一つの問題であるドレイン耐圧を高めた従来の高電圧MOSトランジスタの一例を示す断面図である。このMOSトランジスタの特徴は、第1図の従来例のMOSトランジスタに対して、同図に示すようにオフセットゲート領域4の一部分とドレイン領域2に接してドレイン領域2よりは低不純物濃度のN型領域からなる高耐圧化ドレイン領域23を設けたことにある。この高耐圧化ドレイン領域

ース領域の底面に接して設けられた高不純物濃度の一導型の埋込みアース領域と、該埋込みアース領域と前記ソース領域と前記半導体基板の一主面に接して設けられた高不純物濃度の一導型のアース引出し領域と、該アース引出し領域と前記ソース領域とを電気的に接続するソース電極とを備える高電圧絶縁ゲート型電界効果トランジスタにおいて、前記ドレイン領域のコーナ部分に対向する前記ソース領域となるべき領域を前記アース引出し領域に包含された形状の平面形状を有することから構成される。

本第2の発明の高電圧MOSトランジスタは、一導型の半導体基板の一主面に設けられた逆導電型のソース領域及びドレイン領域と、該ドレイン領域に接して設けられた逆導電型のオフセットゲート領域と、該オフセットゲート領域と前記ソース領域間に形成されるチャネル領域と、前記ソース領域の底面に接して設けられた高不純物濃度の一導型の埋込みアース領域と、該埋込みアース領域と前記ソース領域と前記半導体基板の一主面

23はドレイン領域表面における電流集中によるなだれ降伏を防止してドレイン耐圧の向上を図るためのものであるが、電流集中が激しいドレイン領域のコーナ部分においては、その効果はなかなかなりではないとも見られる。

以上、説明したとおり、従来の高電圧MOSトランジスタには、なお、ドレイン領域のコーナ部分に起因して、負性抵抗現象の発生とそれに伴う永久破壊、ドレイン耐圧の低下等がもたらされるという欠点がある。

本発明の目的は、上記の欠点を除去することにより、負性抵抗や永久破壊を起さない、かつゲート耐圧の高い高電圧絶縁ゲート電界効果トランジスタを提供することにある。

本第1の発明の高電圧MOSトランジスタは、一導電型の半導体基板の一主面に設けられた逆導電型のソース領域及びドレイン領域と、該ドレイン領域に接して設けられた逆導電型のオフセットゲート領域と、該オフセットゲート領域と前記ソース領域間に形成されるチャネル領域と、前記ソ

ース領域の底面に接して設けられた高不純物濃度の一導電型のアース引出し領域と、該アース引出し領域と前記ソース領域とを電気的に接続するソース電極とを備える高電圧絶縁ゲート型電界効果トランジスタにおいて、前記オフセットゲート領域の一部分と前記ドレイン領域に接して低不純物濃度の逆導電型の高耐圧化ドレイン領域を設け、かつ、前記ドレイン領域のコーナ部分に対向する前記ソース領域となるべき領域が前記アース引出し領域に包含され、前記ドレイン領域のコーナ部分に対向する前記高耐圧化ドレイン領域が前記オフセットゲート領域のソース領域側の端部の方へ押し出された形状の平面形状を有することから構成される。

以下、本発明の実施例について図面を参照して説明する。

第6図は本第1の発明の第1の実施例の要部を示す半導体基板表面における平面図である。

本実施例の高電圧MOSトランジスタは、第2図に示した高電圧MOSトランジスタ、すなわち、P<sup>-</sup>型のシリコンからなる半導体基板11の一主

面上に設けられた $N^+$ 型のソース領域13及びドレイン領域12と、このドレイン領域12に接して設けられた $N^-$ 型のオフセットゲート領域14と、このオフセットゲート領域14とソース領域13間に形成されるチャネル領域15と、ソース領域13の底面に接して設けられた $P^+$ 型の埋込みアース領域21と、この埋込みアース領域21とソース領域13と半導体基板11の一主面に接して設けられた $P^+$ 型のアース引出し領域22と、このアース引出し領域22とソース領域13とを電気的に接続するソース電極18とを備える高電圧MOSトランジスタにおいて、第6図に示すように、ドレイン領域12のコーナ部分に対向するソース領域13となるべき同図でaで示す部分に当る12個所の領域をアース引出し領域22に包含された形状の平面形状を有することから構成される。なお、同図で14はオフセットゲート領域、15はチャネル領域である。

本実施例は、第6図に示されているように電界が集中して負性抵抗が起きやすいaで示したドレ

域、15'はチャネル領域である。

第8図の本第3の実施例は、ドレイン領域12'のコーナ部分が多角形状の場合に、本第1の発明を適用したもので、ドレイン領域12'のコーナ部分に対向するソース領域13'となるべき同図a'で示す4個所の部分の領域を、アース引出し領域22'に包含されている。なお14'はオフセットゲート領域、15'はチャネル領域である。

本第2及び第3の実施例は上記の説明から明らかなように、その基本的構成は第1の実施例と同じであり、それと同様の効果が得られることはもち論である。

第9図は本第2の発明の一実施例の半導体基板表面における平面図、第10図はそのAA'断面図である。

本実施例は上記の第1の発明の第2の実施例の高電圧MOSトランジスタに、更にオフセットゲート領域44の一部分とドレイン領域42に接して、ドレイン耐圧を高めるための $N^-$ 型の高耐圧化ドレイン領域53を設け、そのドレイン領域42

イン領域12の12個所のコーナ部分に対向するソース領域13となるべき領域をアース引出し領域22に替えることにより、この部分から基板への電子の注入がなくなり負性抵抗は発生せず、従って永久破壊は起きないことになる。

又、このa部分がアース引出し領域22に包含されたことにより、これと接したソース-基板接合は、順バイアスされにくくなるので、アース引出し領域及び埋込みアース領域からなるアース領域近傍の動作領域の負性抵抗防止、耐破壊性向上にも効果がある。

第7図及び第8図はそれぞれ本第1の発明の第2及び第3の実施例の要部を示す半導体基板表面における平面図である。

第7図の本第2の実施例は、ドレイン領域12'のコーナ部分が円形状の場合に本第1の発明を適用したもので、ドレイン領域12'のコーナ部分に対向するソース領域13'となるべき同図のa'で示す部分の領域がアース引出し領域22'に包含されている。なお14'はオフセットゲート領

域のコーナ部分に対向する領域がオフセットゲート領域44のソース領域43側の端部の方へ埋め込まれた形状(第9図中のbで示す部分)としたことから構成される。なお、41は $P$ 型シリコンからなる半導体基板、45はチャネル領域、46はゲート電極、47はドレイン電極、48はソース電極、49はゲートシリコン酸化膜、50はフィールドシリコン酸化膜、51は埋込みアース領域である。そしてa''はドレイン領域42のコーナ部分に対向して本来ソース領域43となるべき領域でアース引出し領域52に包含された部分を指す。

本実施例によると、高耐圧化ドレイン領域53が電流集中の激しいドレイン領域42のコーナ部分において広げられているために、電流集中が緩和されドレイン耐圧が向上し、負性抵抗を引起す破壊電流( $I_{BL}$ )も大きくなる。

なお、上記の説明はnチャネル型MOSトランジスタについて行ったけれども、pチャネル型MOSトランジスタについても同様である。

以上詳細に説明した通り、本発明の高電圧絶縁ゲート型電界効果トランジスタは、ドレイン領域のコーナ部分に対向するソース領域となるべき領域がアース引出し領域に包含された形状の平面形状、更にはドレイン領域のコーナ部分に対向する高耐圧化ドレイン領域がオフセットゲート領域のソース領域側の端部の方へ押し出された形状の平面形状を有しているため、ドレイン領域のコーナ部分に対向するソース領域からのキャリアの注入が無くなること、ソース-基板接合が順バイアスされにくくなること、更には高耐圧化ドレイン領域における電流集中の緩和等により、負性抵抗の発生及びそれに伴う永久破壊が防止され、かつドレイン耐圧が高められるという効果を有している。

#### 4. 図面の簡単な説明

第1図は従来の絶縁ゲート型電界効果トランジスタの一例を示す断面図、第2図は従来の高電圧絶縁ゲート型電界効果トランジスタの一例を示す断面図、第3図は第2図のトランジスタの半導体

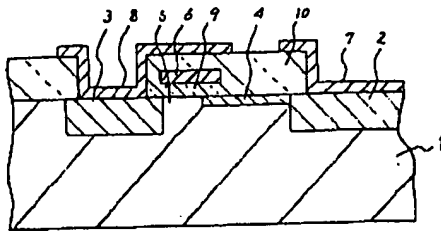
基板表面における平面形状の一例を示す平面図、第4図は第2図のトランジスタのドレイン領域のコーナ部分の曲率半径と破壊電流の関係を示す特性図、第5図は従来の高電圧絶縁ゲート型電界効果トランジスタの他の例を示す断面図、第6図、第7図、第8図はそれぞれ本第1の発明の第1、第2、第3の実施例の要部を示す半導体基板表面における平面図、第9図は本第2の発明の一実施例の要部を示す半導体基板表面における平面図、第10図はそのAA'断面図である。

1……半導体基板、2……ドレイン領域、3……ソース領域、4……オフセットゲート領域、5……チャネル領域、6……ゲート電極、7……ドレイン電極、8……ソース電極、9……ゲートシリコン酸化膜、10……フィールドシリコン酸化膜、11……半導体基板、12、12'、12''……ドレイン領域、13、13'、13''……ソース領域、14、14'、14''……オフセットゲート領域、15、15'、15''……チャネル領域、16……ゲート電極、17……ドレイン電

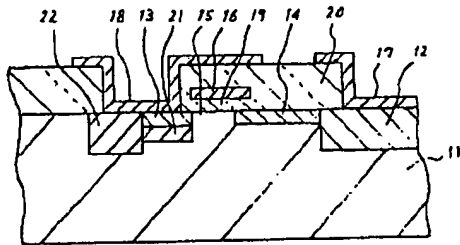
極、18……ソース電極、19……ゲートシリコン酸化膜、20……フィールドシリコン酸化膜、21……アース埋込み領域、22……アース引出し領域、23……ドレイン領域、31……ドレイン領域、32……オフセットゲート領域、33……チャネル領域、34……ソース領域、35……アース引出し領域、41……半導体基板、42……ドレイン領域、43……ソース領域、44……オフセットゲート領域、45……チャネル領域、46……ゲート電極、47……ドレイン電極、48……ソース電極、49……ゲートシリコン酸化膜、50……フィールドシリコン酸化膜、51……アース埋込み領域、52……アース引出し領域、53……高耐圧化ドレイン領域、a、a'、a''、a'''……ドレイン領域のコーナ部分に対向するソース領域となるべき領域、b……高耐圧化ドレイン領域の押し出した領域。



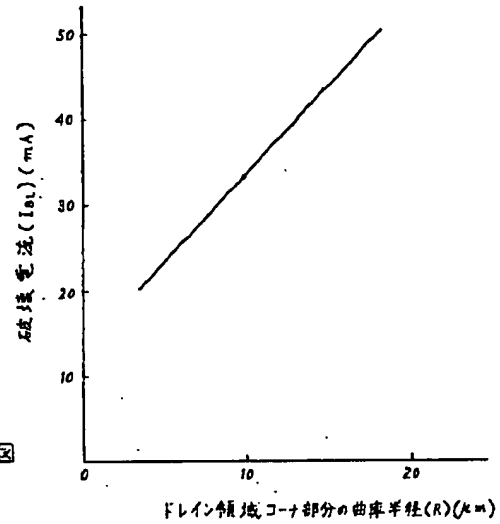
第1図



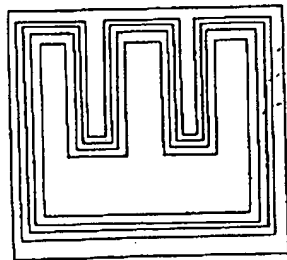
第2図



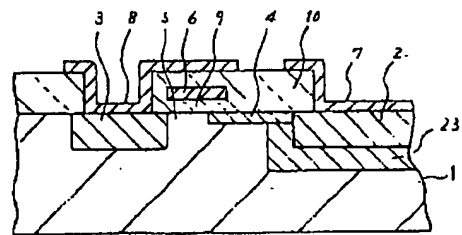
第4図



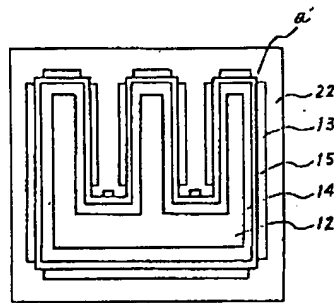
第3図



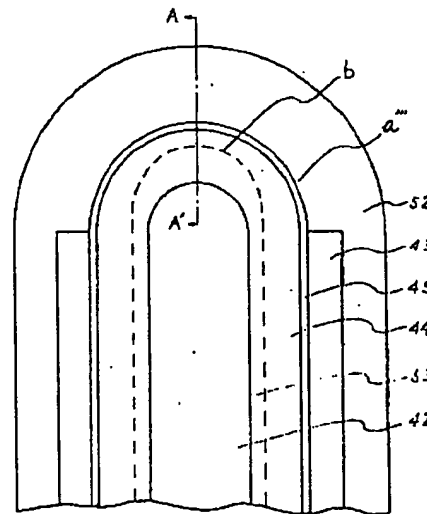
第5図



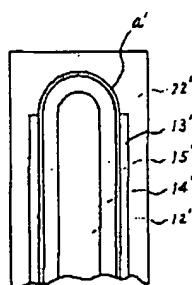
第6図



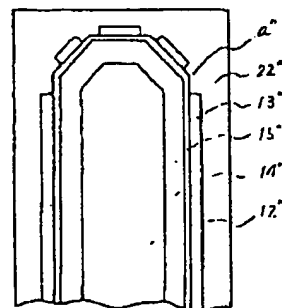
第9図



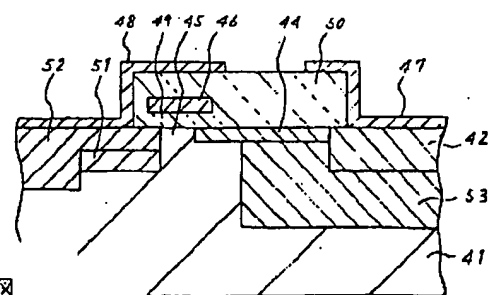
第7図



第8図



第10図





⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭57—10975

⑫ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
29/06

識別記号

庁内整理番号  
6603—5F  
7514—5F

⑬ 公開 昭和57年(1982)1月20日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 高耐圧MOSトランジスタ

群馬県邑楽郡大泉町大字坂田18  
0番地東京三洋電機株式会社内

⑮ 特 願 昭55—86877

⑯ 出 願 人 三洋電機株式会社

⑰ 出 願 昭55(1980)6月25日

守口市京阪本通2丁目18番地

⑱ 発 明 者 田中忠彦

⑲ 出 願 人 東京三洋電機株式会社

群馬県邑楽郡大泉町大字坂田18  
0番地東京三洋電機株式会社内

群馬県邑楽郡大泉町大字坂田18  
0番地

⑳ 発 明 者 野崎勉

㉑ 代 理 人 弁理士 佐野静夫

明 細 書

1. 発明の名称 高耐圧MOSトランジスタ

2. 特許請求の範囲

1. 第1導電型半導体基体上に互いに離れて樹形に形成された第2導電型のソース、ドレイン領域と、該ドレイン領域側に形成された第2導電型の低不純物濃度領域と、該低不純物濃度領域と前記ソース領域との間に形成されたチャンネル領域とを備え、前記樹形のドレイン領域の先端部と前記チャンネル領域までの低不純物濃度領域の距離を他の部分より長く形成したことを特徴とする高耐圧MOSトランジスタ。

3. 発明の詳細な説明

本発明はドレイン耐圧の高いMOSトランジスタの構造に関する。

一般にMOSトランジスタはスイッチングスピードがバイポーラトランジスタに比べて非常に早く、入力特性が正の係数を持っている為主に高周波素子及びパワー用素子として用いられる。

通常のMOSトランジスタの断面構造を第1図

に示す。第1図に於いて、(1)はP型シリコン基板、(2)(3)はそれぞれN<sup>+</sup>導電型を有するソース、ドレイン領域、(4)はゲート酸化膜、(5)(6)(7)はそれぞれソース電極、ドレイン電極、ゲート電極を示す。また第1図中に示された破線はドレイン電圧を印加した場合の等電位線である、ドレイン耐圧はドレイン領域(3)と基板(1)との接合耐圧で制限されるが、実際には等電位線から明らかな様に、ゲート電極(7)とドレイン領域(3)との重なりによって生じるドレイン領域(3)表面近傍の電流集中に依って決定され、ゲート酸化膜(4)が1000Å程度の場合にはドレイン耐圧は50V程度にしかならない。

第2図はドレイン耐圧を向上させたMOSトランジスタの断面構造であり、(8)はP型シリコン基板、(9)(10)はそれぞれN<sup>+</sup>導電型のソース、ドレイン領域、(11)(12)(13)はそれぞれソース電極、ドレイン電極、ゲート電極であり、ドレイン領域(10)からチャンネル領域(14)方向にN<sup>-</sup>型の低不純物濃度領域(15)が設けられている。この低不純物濃度領域(15)を形成することに依り、等電位線は破線で示される

如くチャンネル領域04方向に延在され、ドレイン領域02表面近傍の電流集中が防止されドレイン耐圧は300Vから400V程度まで向上する。この低不純物濃度領域04は一般にドリフトチャンネルと呼ばれている。

一方高い相互コンダクタンス $g_m$ を得るためには $g_m \propto \frac{W}{L}$  ( $W$ はゲート幅、 $L$ はゲート長)より、ゲート長 $L$ を短かくしゲート幅 $W$ を大きくすれば良いが、ゲート長 $L$ はあまり極端に短かくすることは出来ず通常2~7 $\mu$ 程度に形成される。そこでゲート幅 $W$ を大きくするためにソース、ドレイン領域を楕形に形成する構造が知られている。第3図はMOSトランジスタの一部表面図である。第3図に於いて、01はP型シリコン基板、0204はそれぞれ $N^+$ 導電型のソース、ドレイン領域、03は $N^-$ 導電型の低不純物濃度領域、04はチャンネル領域であり、ソース領域02及びドレイン領域03はそれぞれ楕形に形成され組合わされている。従ってチャンネル領域04はジグザグに形成されるのでゲート幅 $W$ を大きくすることができる。しかし

に依ってP型不純物が注入され所定のチャンネル濃度となる様制御され、チャンネル長は $3\mu$ 、幅は120 $\mu$ となっている。

またドレイン領域03とチャンネル領域04との距離、即ち低不純物濃度領域04の長さ $l$ は60 $\mu$ 程度に形成されるが、ドレイン領域03の先端部からチャンネル領域04までの低不純物濃度領域04の長さ $l'$ は他の部分の長さより長く形成している。即ち $l < l'$ とすることに依って先端部からチャンネル領域04に延びる電気力線が長くなり、この部分での電界が弱まり、電流集中が防止できる。

低不純物濃度領域04の長さ $l'$ とドレイン耐圧との関係を実験的に求めた結果を第5図に示す、 $l' = l$ ではドレイン耐圧 $V_{DS}$ は300V、 $l' = 1.5l$ では390V、 $l' = 2l$ では450V、 $l' = 3l$ では465Vというドレイン耐圧が得られた。第5図の結果からも明らかな様に $l'$ を少なくとも1.6 $l$ 以上に形成することに依りドレイン耐圧が400Vとなり、従来に比べ大幅に耐圧が向上するものである。

ドレイン領域03の突出した先端部からは矢印で示される如く電気力線が放射状に延びるので、先端部に電流が集中し、いかに低不純物濃度領域04が形成されていてもドレイン耐圧を向上することが出来なかった。

本発明は上述した点に鑑みて為されたものであり、従来の欠点を除去した楕形構造のMOSトランジスタを提供するものである。以下図面を参照して本発明を詳述する。

第4図は本発明の実施例を示す一部表面図であり、01はP型シリコン基板、0204はそれぞれ $N^+$ 導電型のソース、ドレイン領域、03は $N^-$ 導電型の低不純物濃度領域、04はチャンネル領域である。P型シリコン基板01には層抵抗 $R_s$ が10~20 $\Omega/\square$ 程度のものが使用され、低不純物濃度領域03はエピタキシャル成長あるいはイオン注入等によって層抵抗 $R_s$ が8 $\Omega/\square$ で深さが20 $\mu$ 程度に形成される。一方ソース領域02及びドレイン領域03は互いに組合せられた楕形の形状に基散に依って形成され、またチャンネル領域04にはイオン注入

上述の如く本発明に依ればドレイン領域の先端部とチャンネル領域までの低不純物濃度領域の長さを他の部分より長く形成することに依り、電流集中が防止されドレイン耐圧を大幅に向上させることができるものである。

#### 4 図面の簡単な説明

第1図は従来例を示す一部断面図、第2図は従来例の改良された一部断面図、第3図は従来のMOSトランジスタの表面図、第4図は本発明の実施例を示す表面図、第5図はドレイン耐圧 $V_{DS}$ と低不純物濃度領域の長さ $l'$ との関係を示すグラフである。

01……P型シリコン基板、02……ソース領域、03……ドレイン領域、04……低不純物濃度領域、04……チャンネル領域。

出願人 三洋電機株式会社 外1名

代理人 井垣士佐野 勝 夫



⑫ 公開特許公報(A) 平3-211771

⑬ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)9月17日

H 01 L 29/784

8422-5F H 01 L 29/78 3 0 1 J

審査請求 未請求 請求項の数 11 (全16頁)

⑮ 発明の名称 導電変調型MOSFET

⑯ 特 願 平2-5640

⑰ 出 願 平2(1990)1月12日

⑱ 発 明 者 渡 邊 君 則 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑲ 発 明 者 山 口 好 広 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

⑳ 発 明 者 中 川 明 夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合  
研究所内

㉑ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉒ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

導電変調型MOSFET

2. 特許請求の範囲

(1) 表面部に第1導電型の高低抗層を有する半  
導体ウェハと、

前記高低抗層にストライプ状パターンをもって  
形成された第2導電型ベース層と、

前記高低抗層に、前記第2導電型ベース層を所  
定距離をおいて取り囲むように形成された第1導  
電型ベース層と、

前記第1導電型ベース層の周辺部から前記高低  
抗層上にまたがるチャネル領域上にゲート絶縁膜  
を介して形成された、リング状パターンを持つゲ  
ート電極と、

前記第1導電型ベース層に前記ゲート電極に自  
己整合されて形成された第2導電型ソース層と、

前記第2導電型ベース層にストライプ状パター  
ンをもって形成され、その長手方向エッジの前記  
第2導電型ソース層に対向する距離がこれと直交

する方向の辺の前記第2導電型ソース層に対向す  
る距離より大きく設定された第1導電型ドレイン  
層と、

前記ソース層と前記第1導電型ベース層に同時  
にコンタクトして配設されたソース電極と、

前記ドレイン層にコンタクトして配設されたド  
レイン電極と、

を有することを特徴とする導電変調型MOSFET。

(2) 表面部に第1導電型の高低抗層を有する半  
導体ウェハと、

前記高低抗層に所定パターンをもって形成され  
た第2導電型ベース層と、

前記高低抗層に、前記第2導電型ベース層を所  
定距離をおいて取り囲むように形成された第1導  
電型ベース層と、

前記第2導電型ベース層内に形成された第1導  
電型ドレイン層と、

前記第1導電型ベース層内に、前記第2導電型  
ベース層を挟むように分割されて形成された第2  
導電型ソース層と、

前記第1導電型ベース層の周辺部から前記高抵抗層上にまたがるチャネル領域上にゲート絶縁膜を介してリング状パターンをもって形成された、前記第2導電型ソース層のない領域上を通る引出し電極部を有するゲート電極と、

前記ソース層と前記第1導電型ベース層に同時にコンタクトして配設されたソース電極と、

前記ドレイン層にコンタクトして配設された、前記第2導電型ソース層のない領域上を通る引出し電極部を有するドレイン電極と、

を有することを特徴とする導電変調型MOSFET。

(3) 表面部に第1導電型の高抵抗層を有する半導体ウェハと、

前記高抵抗層にストライプ状パターンをもって形成された第2導電型ベース層と、

前記高抵抗層に、前記第2導電型ベース層を所定距離をおいて取り囲むように形成された第1導電型ベース層と、

前記第2導電型ベース層内にストライプ状パターンをもって形成された第1導電型ドレイン層と、

(5) 前記第2導電型ベース層およびその外側の高抵抗層上に絶縁膜を介して形成された、一端が前記ドレイン電極に接続され、他端が前記ゲート電極に接続された高抵抗層を有する請求項1、2または3のいずれかに記載の導電変調型MOSFET。

(6) 前記ドレイン層領域内で前記第2導電型ベース層が一部表面に露出し、前記ドレイン電極がこの露出した第2導電型ベース層にコンタクトしている請求項1、2または3のいずれかに記載の導電変調型MOSFET。

(7) 表面部に第1導電型の高抵抗層を有する半導体ウェハと、

前記高抵抗層に所定パターンをもって形成された第2導電型ベース層と、

前記高抵抗層に、前記第2導電型ベース層に対して所定間隔をおいて前記第2導電型ベース層を取り囲むように形成された第1導電型ベース層と、

前記第2導電型ベース層内に形成された、リング状パターンを持つ第1導電型ソース層と、

前記第1導電型ベース層に前記第2導電型ベース層の二つの長辺部にそれぞれ対向するように分割されて形成された第2導電型ソース層と、

前記第1導電型ベース層の周辺部から前記高抵抗層上にまたがるチャネル領域上にゲート絶縁膜を介してリング状パターンをもって形成された、前記第2導電型ソース層のない領域上を通る引出し電極部を有するゲート電極と、

前記ソース層と前記第1導電型ベース層に同時にコンタクトして配設されたソース電極と、

前記ドレイン層にコンタクトして配設された、前記第2導電型ソース層のない領域上を通る引出し電極部を有するドレイン電極と、

を有することを特徴とする導電変調型MOSFET。

(4) 前記第2導電型ベース層は、複数個に分割されて配置され、それぞれが深く拡散形成された低抵抗ベース層と、この低抵抗ベース層の外側に浅く拡散形成された高抵抗ベース層とから構成されている請求項1、2または3のいずれかに記載の導電変調型MOSFET。

前記第1導電型ベース層内に、前記第2導電型ベース層を取り囲み、かつ少なくとも一箇所の分離領域をもって形成された第2導電型ドレイン層と、

前記第2導電型ベース層の周辺部から前記高抵抗層上にまたがるチャネル領域上にゲート絶縁膜を介してリング状パターンをもって形成され、前記分離領域上を通る引出し電極部を有するゲート電極と、

前記第1導電型ソース層と前記第2導電型ベース層に同時にコンタクトして配設された、前記分離領域上を通る引出し電極部を有するソース電極と、

前記第2導電型ドレイン層にコンタクトして配設されたドレイン電極と、

を有することを特徴とする導電変調型MOSFET。

(8) 表面部に第1導電型の高抵抗層を有する半導体ウェハと、

前記高抵抗層にストライプ状パターンをもって形成された第2導電型ベース層と、

前記高抵抗層に、前記第2導電型ベース層に対

して所定間隔をおいて前記第2導電型ベース層を取り囲むように形成された第1導電型ベース層と、

前記第1導電型ベース層に形成され、前記第2導電型ベース層の二つの長辺部にそれぞれ対向するように分割されて配置された第2導電型ドレイン層と、

前記第2導電型ベース層内に二つのストライプ状パターンをもって形成された第1導電型ソース層と、

前記第2導電型ベース層の周辺部から前記高低抗層にまたがるチャネル領域上にゲート絶縁膜を介して形成された、リング状パターンを持つゲート電極と、

前記第1導電型ソース層と前記第2導電型ベース層に同時にコンタクトして配設されたソース電極と、

前記第2導電型ドレイン層にコンタクトして配設されたドレイン電極と、

を有することを特徴とする導電変調型MOSFET、

(9) 前記第2導電型ベース層が複数個に分割さ

有するがサイリスタ動作はせず、MOSゲートにより制御されてバイポーラ動作するスイッチング素子である。導電変調型MOSFETのなかで、 $pnpn$ 構造を半導体ウェハの表面部に横方向に形成したものが横型導電変調型MOSFETと呼ばれる。

第17図はその様な横型導電変調型MOSFETの一例の平面図であり、第18図(a)(b)および(c)はそれぞれ第20図のA-A'、B-B'およびC-C'断面図である。 $p$ -型シリコンウェハ11の表面に $n$ -型ベース層14、15が形成され、この $n$ -型ベース層14、15内に $p^+$ -型ドレイン層16が形成されている。ウェハ11にはまた、 $n$ -型ベース層14、15に隣接して $p$ -型ベース層12が形成され、この $p$ -型ベース層12内に $n^+$ -型ソース層13が形成されている。 $n^+$ -型ソース層13と $n$ -型ベース層14に挟まれた領域をチャネル領域としてこの上にゲート絶縁膜17を介してゲート電極18が形成されている。ソース電極21はソース層13と同時に $p$ -型ベース層

れて配置されている請求項7または8のいずれかに記載の導電変調型MOSFET。

(10) 前記第1導電型ベース層およびその内側の高低抗層上に絶縁膜を介して形成された、一端が前記ドレイン電極に接続され、他端が前記ゲート電極に接続された高低抗膜を有する請求項7のまたは8のいずれかに記載の導電変調型MOSFET。

(11) 前記ドレイン層領域内で前記第1導電型ベース層が一部表面に露出し、前記ドレイン電極がこの露出した第1導電型ベース層にコンタクトしている請求項7または8のいずれかに記載の導電変調型MOSFET。

### 3. 発明の詳細な説明

#### 【発明の目的】

#### （産業上の利用分野）

本発明は、ドレイン、ソースおよびゲート電極が半導体ウェハの一方の面に形成された横型の導電変調型MOSFETに関する。

#### （従来の技術）

導電変調型MOSFETは、 $pnpn$ 構造を

12にコンタクトして配設され、ドレイン層16にドレイン電極24が配設されている。

横型導電変調型MOSFETを大電流用スイッチング素子として構成するためには、長いチャネル幅が必要である。このため第17図に示すように、 $n$ -型ベース層14、15およびその中の $p^+$ -型ドレイン層16は、ストライプ状パターンをもって複数個に分割されて配置され、これらを取り囲むように $p$ -型ベース層12および $n^+$ -型ソース層13が形成されている。したがってゲート電極18は、第17図に破線で示すように、複数のリング状パターンをもって形成され、これが長手方向に引出されて共通にゲート電極パッド(G)に導かれている。各ドレイン層にコンタクトするドレイン電極24は、ゲート電極18と反対側に引出されて共通にドレイン電極パッド(D)に導かれている。ソース電極21は、ドレイン電極18と噛み合うように配設されて、ソース電極パッド(S)に導かれている。この構成例は、3個の導電変調型MOSFETユニットを並列接続したも

のとみなすことができる。

この導電変調型MOSFETの動作は次の通りである。

ゲート電極18にソース電極21に対して正のバイアスを印加すると、ゲート電極18下のチャネル領域表面が反転して、ソース層13からn型ベース層14に電子が注入される。この電子電流はn型ベース層15を通過してp<sup>+</sup>型ドレイン層16に入り、素子はターンオンする。このときドレイン接合が順バイアスされる結果、p<sup>+</sup>型ドレイン層16からn型ベース層15を通してn<sup>-</sup>型ベース層14に正孔が注入される。これによりn<sup>-</sup>型ベース層14には電子と正孔が蓄積されて導電変調が起こる。この導電変調の効果により、オン時にはn<sup>-</sup>型ベース層14の抵抗が実質的に小さいものとなり、極めて小さいオン電圧が得られる。ドレイン層16からn<sup>-</sup>型ベース層14に注入された正孔は、p型ベース層12とn<sup>+</sup>型ソース層13がソース電極21によって短絡されているために、p型ベース層12のソース層13直

型ベース層12を通過してソース電極21に抜ける。一方ソース層13はストライプ状のドレイン層16を取り囲んで連続的に形成されているが、ゲート電極18の電極パッドまでの引き出し電極部、およびドレイン電極24の電極パッドまでの引出し電極部では、ソース電極21はソース層13およびp型ベース層12にコンタクトしていない。すなわち、ストライプ・エッジの部分ではソース層13とp型ベース層12が短絡されていない。このために大電流時に、この部分でp型ベース層12内の横方向電圧降下によってp型ベース層12とソース層13間の接合が順バイアスされて、サイリスタ動作に入ってしまう。このラッチアップを生じると、ゲート・ソース間のバイアスを零にしても素子はターンオフしないから、やはり素子の破壊につながる。

(発明が解決しようとする課題)

以上のように従来の横型導電変調型MOSFETにおいては、ストライプ状パターンのドレイン領域のエッジ部での電流集中やラッチ

下を通過してソース電極21に抜ける。したがってサイリスタ動作は阻止される。ゲート電極18をソース電極21に対して負または零にバイアスすると、チャネル領域の反転層が消失して、素子はターンオフする。

この従来の導電変調型MOSFETには、次のような問題がある。

第1に、ストライプ状パターンを持つドレイン層のエッジ部で電流集中が生じる。なぜなら、エッジ部が半円をなすストライプ状パターンを持つn型ベース層とその中のp型ドレイン層に対して、これを等間隔で取囲むn型ソース層を形成した場合、半円をなすエッジ部に着目すると、ドレイン層とソース層の相対向する辺の長さが、内側にあるドレイン層の方が小さいからである。この電流集中があるために、大電流動作を行わせると素子破壊が生じる。

第2は、ドレイン層のエッジ部でラッチアップが生じやすいことである。ドレイン層16からの正孔電流は、前述のようにソース層13の下のp

アップによって素子破壊が生じやすいという問題があった。

本発明はこの様な問題を解決して、信頼性向上を図った横型導電変調型MOSFETを提供することを目的とする。

〔発明の構成〕

(課題を解決するための手段)

本発明は、ストライプ状パターンを持つドレイン層を取り囲んでソース層が形成される横型導電変調型MOSFETにおいて、ストライプ・エッジ部でのドレイン層とソース層間の距離を、他の領域でのそれに比べて大にしたことを特徴とする。

本発明はまた、ドレイン層を取り囲んでソース層が形成される横型導電変調型MOSFETにおいて、ゲート電極およびドレイン電極の引き出し電極部の下にはソース層が形成されないように、ソース層を分割して配置したことを特徴とする。

これらの導電変調型MOSFETは、ドレイン層と同じ導電型の半導体ウエハを用いた場合であ

るが、用いる半導体ウェハの導電型を逆にした場合には、ソース層が島状に形成され、ドレイン層がこれを取り囲む形になる。この構造においても本発明は有効である。この場合上述のソースとドレインを逆にすればよい。

またこれらの導電変調型MOSFETは、後に説明するように一つの基板に構成されるが、これらの導電変調型MOSFETを含めて集積化する場合には、誘電体分離を行う必要がある。そのためには、例えば酸化膜が形成されたもう一枚の基板を貼り合わせて構成される誘電体分離ウェハを用いればよい。

#### (作用)

本発明によれば、ソース・ドレイン間隔を均一ではなく、ストライプ・エッジ部でその間隔を大きくすることによってこのエッジ部での電流集中を抑制することができる。またソース電極をコンタクトさせることができないゲート電極やドレイン電極の引き出し電極部の下にはソース層を設けないようにすることによって、これらの部

分で生じるラッチアップを防止することができる。以上により、信頼性の高い横型導電変調型MOSFETが得られる。

#### (実施例)

以下、本発明の実施例を説明する。

第1図は第1の実施例の横型導電変調型MOSFETの電極レイアウトを示す。第2図は、第1図の要部構成をソース、ドレインの拡散層パターンと共に示す。第3図(a)(b)および(c)は、それぞれ第2図のA-A'、B-B'およびC-C'断面構造を示す。これらの図において、従来例の第17図および第18図と対応する部分には、同一符号を付している。p<sup>+</sup>型層11<sub>1</sub>と高抵抗のp<sup>-</sup>型層11<sub>2</sub>からなるp型シリコン・ウェハ11の表面に、深く低抵抗のn型層(ドレインバッファ層)15と、これより浅く高抵抗のn<sup>-</sup>型層(ドリフト層)14とからなるn型ベース層が、複数個島状に形成されている。シリコン・ウェハ11は、例えばp<sup>+</sup>型シリコン基板にp<sup>-</sup>型層をエピタキシャル成長させたものでもよいし、或い

はp<sup>+</sup>型シリコン基板とp<sup>-</sup>型シリコン基板を直接接合技術により一体化して形成してもよい。p<sup>+</sup>型層11<sub>1</sub>はn<sup>-</sup>或いはn<sup>+</sup>型層であってもよい。n型ベース層14、15の表面にはp<sup>+</sup>型ドレイン層16が形成されている。これらのn型ベース層14、15およびドレイン層16の領域を取囲んで、p型ベース層12が拡散形成され、この中にn<sup>+</sup>型ソース層13が拡散形成されている。p型ベース層12内には、横方向抵抗を下げるため、深いp型層19が拡散形成され、また表面部にコンタクト抵抗を下げるためp<sup>+</sup>型層20が拡散形成されている。n<sup>+</sup>型ソース層13の内側のp型ベース層12、さらにその内側のp<sup>-</sup>型シリコン・ウェハ11の領域上にゲート酸化膜17を介して多結晶シリコン・ゲート電極18が形成されている。ソース層13、ドレイン層16には夫々、ソース電極21、ドレイン電極24が形成されている。ソース電極21は、ソース層13とその外側のp<sup>+</sup>型層20に同時にコンタクトするように配設されている。またゲート電

極18とドレイン電極24の間の素子分離酸化膜22上には、フィールド・プレートとしての高抵抗膜23が配設されている。高抵抗膜23は例えば、半絶縁性の多結晶シリコン膜である。

この導電変調型MOSFETの製造工程を簡単に説明すれば、まず、シリコン・ウェハ11に深いp型層19を拡散形成した後、その内側にn型層15、さらにその外側に連続するn<sup>-</sup>型層14を拡散形成する。次に厚いフィールド酸化膜22をウェハ全面に形成する。そして酸化膜22を選択エッチングして、露出したウェハ表面に熱酸化によってゲート酸化膜17を形成する。次に多結晶シリコン膜を堆積し、この上にゲート電極のソース側エッジを決めるフォトレジスト・パターンを形成して多結晶シリコン膜を選択エッチングする。そして同じ開口からボロンをイオン注入してp型ベース層12を拡散形成する。その後ゲート電極のドレイン側エッジを決めるフォトレジスト・パターンを形成してドレイン領域側の余分な多結晶シリコン膜を選択エッチングして、ゲート電



極18をパターンニングする。そしてドレイン形成領域上からゲート電極18の一部に跨る領域の酸化膜をゲート電極18が露出するように選択的にエッチングし、露出したゲート電極18上からその内側の $n^-$ 型層14領域さらにその内側の $n$ 型層15領域の一部まで覆うように、高抵抗膜23をパターン形成する。その後ゲート電極18をマスクの一部として用いて $n^+$ 型ソース層13を形成する。次いで、高抵抗膜23をマスクの一部として用い、残りのマスクをフォトリソで形成して、 $n$ 型ベース層内に $p^+$ 型ドレイン層16を、また $p$ 型ベース層内にコンタクト抵抗を下げるための $p^+$ 型層20を拡散形成する。そして全面に絶縁膜25を堆積し、コンタクト孔を開けてドレイン電極24およびソース電極21を形成する。

この実施例では、 $n$ 型ベース層14、15、およびこの中に形成されるドレイン層16はストライプ状パターンをなして3個に分割配置され、これらの周囲にソース層13が形成されている。ゲ

の不純物ドーピングに際しては、その直線部は高抵抗膜23をマスクとし、エッジ部では高抵抗膜23より内側を覆うようにフォトリソ・マスクを形成する。これによって、第3図(b)、(c)の断面図にも示したように、ストライプ・エッジではドレイン層16が $n$ 型ベース層15のエッジより大きく後退した状態が得られる。

したがってこの実施例の導電変調型MOSFETでは、 $n$ 型ベース層15の横方向抵抗の分布を見ると、ストライプ・エッジでは直線部に比べて大きくなっている。この結果、ストライプ・エッジではドレイン層16に対向するソース層13の辺が長いにもかかわらず、 $n$ 型ベース層15内の正孔電流の分布はほぼ均一になる。したがって従来のようなストライプ・エッジ部での電流集中が生じにくく、信頼性の高い導電変調型MOSFETが得られる。

第4図および第5図は、第2の実施例の横型導電変調型MOSFETの要部構造を、第1の実施例の第2図および第3図にそれぞれ対応させて示

す。ゲート電極18は、第1図および第2図において破線で示しているが、図のように細長いリング状をなし、そのエッジ部は半円をなしている。第2図は、第1図の中の一つのMOSFETユニット部を拡大して、電極レイアウトと重ねてソース、ドレイン層のレイアウトを示しているが、図から明らかなようにドレイン層16とソース層13間の距離は均一ではない。ストライプ・パターンの直線部でのドレイン・ソース間距離 $a$ に対して、ゲート電極18の引出し電極部18aおよびドレイン電極24の引出し電極部24a、すなわちストライプ・エッジ部でのドレイン・ソース間距離 $b$ は、

$$b > a$$

に設定されている。この構造は先の製造プロセス説明では詳細に述べなかったが、次のようにして得られる。すなわち高抵抗膜23は、ゲート電極18のパターンと相似のリング状パターンをもって、ゲート電極18に一部重なり、それより内側まで覆うように形成する。そしてドレイン層16

す図である。この実施例では、ストライプ・エッジ部でドレイン層16を後退させていない。その代わりに、このエッジ部すなわちドレイン電極24の引出し電極部24aおよびゲート電極18の引出し電極部18aの下にはソース層がない領域26、27が設けられている。換言すれば、ソース層13が、ドレイン層16の直線部の両側に二つのソース層13<sub>1</sub>、13<sub>2</sub>として分割されて配置されてMOSFETユニットが構成されている。ドレイン電極24およびゲート電極18をそれぞれの電極パッドに導くための引出し電極部24a、18aが、ソース層が形成されていない領域26、27上を通るようにレイアウトされている。

この実施例によれば、ゲート引出し電極部18aおよびドレイン引出し電極部24aがあるためのソース電極21をコンタクトさせることができない領域にはソース層が形成されていないため、これらの部分でラッチアップが生じる事態が防止される。したがってこの実施例によっても、

信頼性の高い積型導電変調型MOSFETが得られる。

第6図および第7図は、第3の実施例の積型導電変調型MOSFETの要部構造を示す。この実施例では、第1、第2の実施例の構造と比較して明らかなように、第1の実施例と第2の実施例を組み合わせた構造を採用している。

したがってこの実施例によっても、信頼性の高い導電変調型MOSFETが得られる。

第8図は、第4の実施例の積型導電変調型MOSFETの要部構造である。これは第3の実施例をさらに改良した実施例である。第6図と比較して明らかなようにこの実施例では、二つに分割されるソース層13<sub>1</sub>、13<sub>2</sub>が、ドレイン層16の直線部にはば対応するようなストライプ状パターンをもって形成されている。

この実施例によれば、第3の実施例に比べてソース面積がわずかに小さくなるが、ストライプ・エッジ部での電流集中やラッチアップに起因する素子破壊はより確実に防止することができる。

層12を取り囲んでn型ベース層15が形成され、その中にp<sup>+</sup>型ドレイン層16が形成されている。ゲート電極18はリング状にパターン形成されているが、これまでの実施例と異なり、その引き出し電極部18aは、ソース電極21およびドレイン電極24と同じ金属膜により形成されている。これは、高電位の印加されるドレインが素子の中心部にあるこれまでの実施例と異なり、ゲートの引き出し電極部をゲート電極と同時に薄い酸化膜上に多結晶シリコン膜により形成した場合には、ドレインの高電位により簡単に絶縁破壊を生じてしまうからである。このため、第9図、第10図に示すようにソース電極21内に一部くりぬきを設けた状態で、厚い絶縁膜25上にゲート引出し電極部18aを形成している。そしてこの引出し電極部18aは、素子領域から所定距離はなれて形成された多結晶シリコン配線18bに接続されてボンディングパッド領域まで導かれるようになっている。

そしてこの実施例においては、ストライプ状パ

ここまでの実施例は、すべてp<sup>+</sup>型シリコン・ウェハを用いた。以下に、n<sup>+</sup>型シリコン・ウェハを用いた実施例を説明する。この場合、レイアウト上、ソースとドレインの関係はこれまでとは逆になる。

第9図は、第5の実施例の積型導電変調型MOSFETの電極レイアウトを示す。第10図は、第9図の要部構成をソース、ドレインの拡散層パターンと共に示す。第11図(a)(b)および(c)は、それぞれ第10図のA-A'、B-B'およびC-C'断面構造を示す。これらの図においても、先の各実施例と対応する部分には同一符号を付してある。第11図に示すようにこの実施例では、n<sup>+</sup>型層31、と高抵抗n<sup>-</sup>型層31<sub>1</sub>とからなるn<sup>-</sup>型シリコン・ウェハ31を用いている。p型ベース層12がストライプ状パターンをもって複数個(図の場合3個)の島状に形成されている。そして各p型ベース層12の周辺部に、第10図に示すように、リング状をなしてn<sup>+</sup>型ソース層13が拡散形成されている。p型ベース

ターンで形成されたp型ベース層15のストライプ・エッジ部にはドレイン層が対向しないように、すなわち第10図に示したようにp型ベース層12の長辺部にのみ対向するように二つに分割されたストライプ状ドレイン層16<sub>1</sub>、16<sub>2</sub>を形成している。

この実施例によっても、ストライプ・エッジ部での電流集中やラッチアップが確実に防止される。

第12図および第13図は、第5の実施例をさらに改良した第6の実施例の積型導電変調型MOSFETの要部構造を、それぞれ第10図および第11図に対応させて示している。この実施例では、先の第5の実施例に対して更に、p型ベース層12内に形成されるソース層13を、ストライプ・エッジには設けないように二つのソース層13<sub>1</sub>、13<sub>2</sub>として分割して配置している。

この実施例によれば、一層信頼性向上が図られる。

以上の実施例では、導電変調型MOSFETユニットがストライプ状をなす場合を専ら説明した

が、MOSFETユニットが他のパターン形状であっても本発明は有効である。

例えば第14図および第15図は、導電変調型MOSFETユニットを正方形パターンとした第7の実施例の電極レイアウトとその一つのユニットについてのソース、ドレイン層のレイアウトを、それぞれ第1図および第4図に対応させて示したものである。

また以上の実施例では、ドレインまたはソースが3個に分割された場合を説明したが、分割個数は2個でもよいし、4個以上でもよい。更に、電流容量が比較的小きくてよい場合には、複数個のユニットに分割しなくてもよく、その様な場合でも本発明は有効である。

更にまた、上記各実施例に対して第16図(a)~(c)のような素子構造を導入した場合にも、本発明は有効である。第16図(a)は、ドレイン層16の一部表面にn型ベース層15を露出させ、これをn<sup>+</sup>型層41によってドレイン電極24に接続して、所謂アノード・ショート構造としたものである。

第4図は第2の実施例の要部構造を第2図に対応させて示す図、

第5図(a)(b)および(c)はそれぞれ第4図のA-A'、B-B'およびC-C'断面図、

第6図は第3の実施例の要部構造を第2図に対応させて示す図、

第7図(a)(b)および(c)はそれぞれ第6図のA-A'、B-B'およびC-C'断面図、

第8図は第4の実施例の要部構造を第2図に対応させて示す図、

第9図は第5の実施例の電極レイアウトを第1図に対応させて示す図、

第10図はその一部を拡大してソース、ドレイン層と共に電極レイアウトを示す図、

第11図(a)(b)および(c)はそれぞれ第10図のA-A'、B-B'およびC-C'断面図、

第12図は第6の実施例の要部構造を第10図に対応させて示す図、

第13図(a)(b)および(c)はそれぞれ第12図のA-A'、B-B'およびC-C'断面図、

のである。第16図(a)では、n<sup>+</sup>型層41をドレイン層16より浅く形成しているが、第16図(b)はn<sup>+</sup>型層41をドレイン層16より深く形成した場合である。第16図(c)は、ソース側のみならずドレイン側にもゲート絶縁膜42を介してゲート電極43を設けたダブルゲート構造としたものである。

#### 【発明の効果】

以上に説明したように本発明によれば、ソース、ドレイン拡散層のレイアウトを改良することによって、電流集中やラッチアップを抑制して信頼性向上を図った横型導電変調型MOSFETを提供することができる。

#### 4. 図面の簡単な説明

第1図は本発明の第1の実施例の導電変調型MOSFETの電極レイアウトを示す図、

第2図はその一部を拡大してソース、ドレイン層と共に電極レイアウトを示す図、

第3図(a)(b)および(c)はそれぞれ第2図のA-A'、B-B'およびC-C'断面図、

第14図は第7の実施例の横型導電変調型MOSFETの電極レイアウトを示す図、

第15図はその一部を拡大してソース、ドレイン層と共に電極レイアウトを示す図、

第16図(a)~(c)は更に他の実施例の素子構造を示す図、

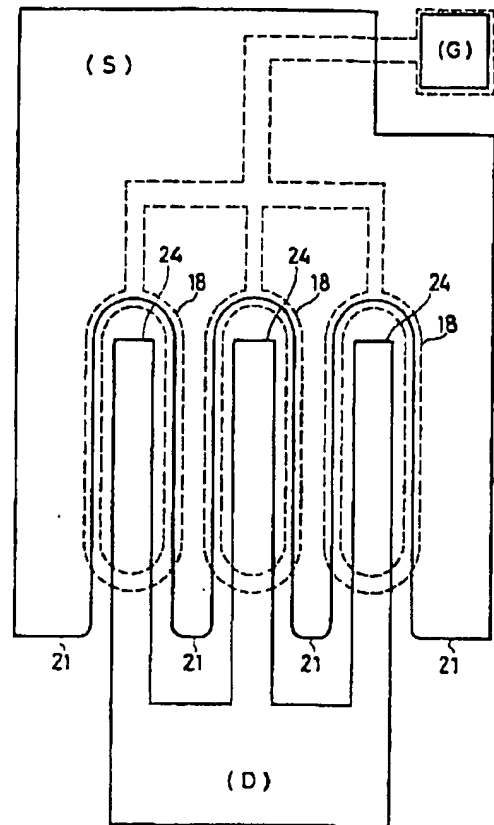
第17図は従来の横型導電変調型MOSFETの電極レイアウトを示す図、

第18図(a)(b)および(c)はそれぞれ第17図のA-A'、B-B'およびC-C'断面図である。

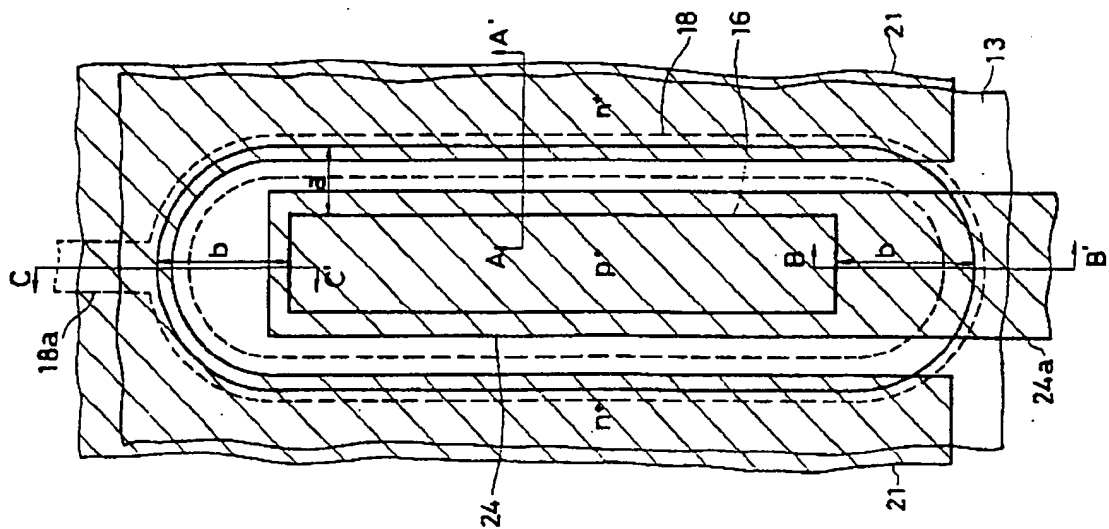
11…高抵抗p<sup>+</sup>型シリコン・ウェハ、12…p型ベース層、13…n<sup>+</sup>型ソース層、14…高抵抗n<sup>+</sup>型ベース層、15…低抵抗n型ベース層、16…p<sup>+</sup>型ドレイン層、17…ゲート絶縁膜、18…ゲート電極、18a…ゲート引出し電極部、19…p型層、20…p<sup>+</sup>型層、21…ソース電極、22…絶縁膜、23…高抵抗膜、24…ドレイン電極、24a…ドレイン引出し電極部、25…絶縁膜、31…

高抵抗 $n^+$ 型シリコン・ウェハ。

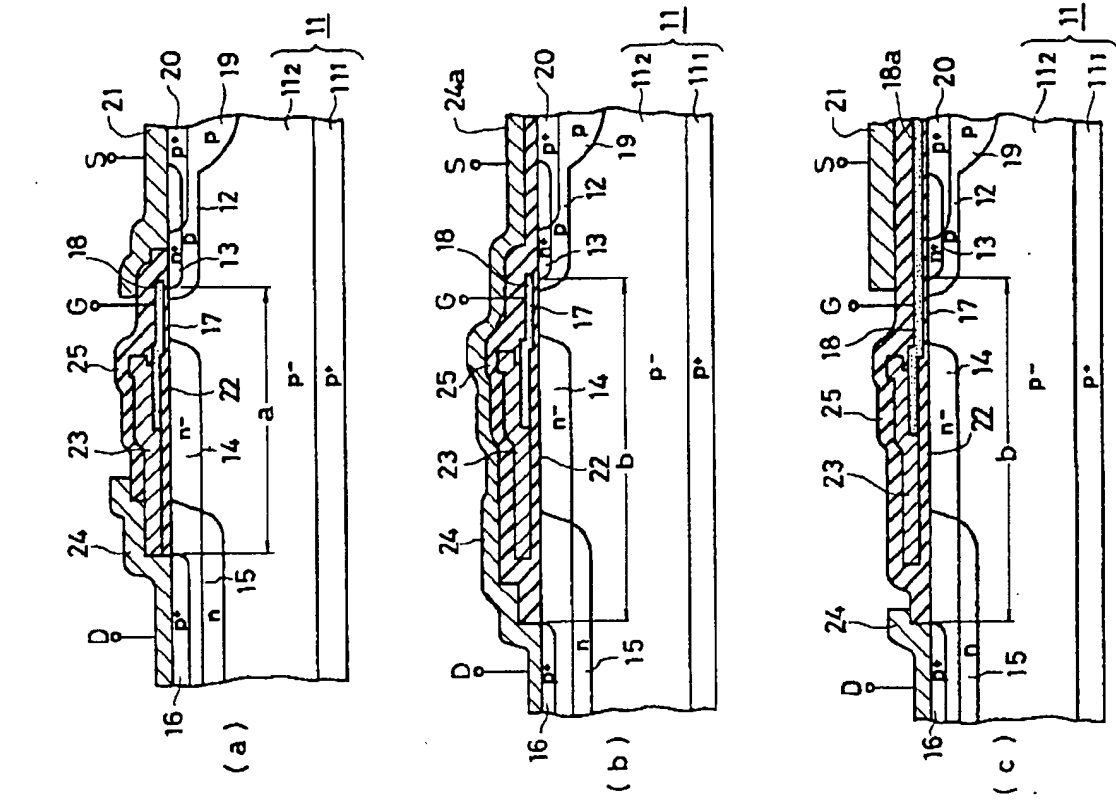
出願人代理人 弁理士 鈴江武彦



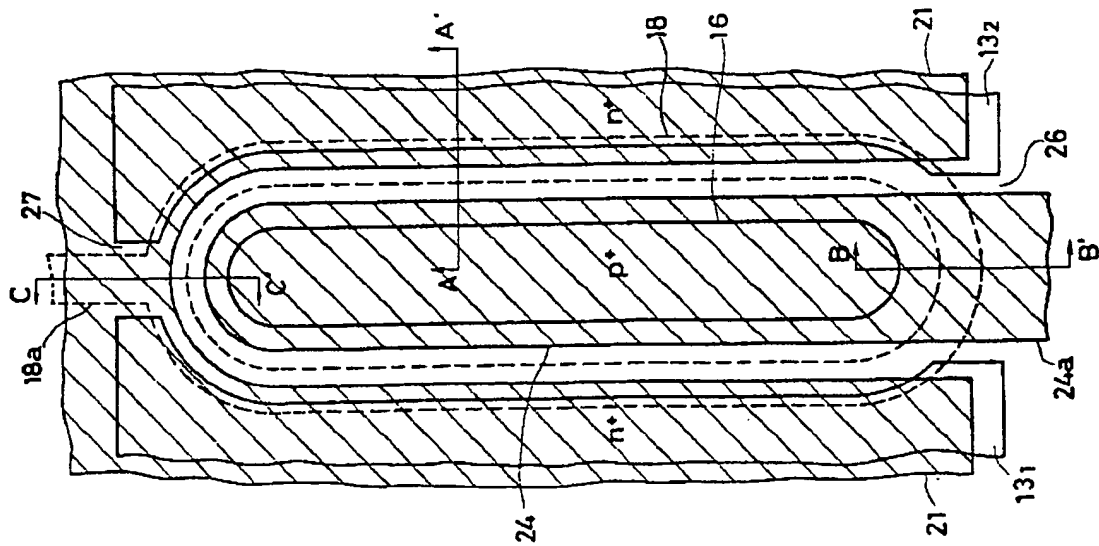
第1図



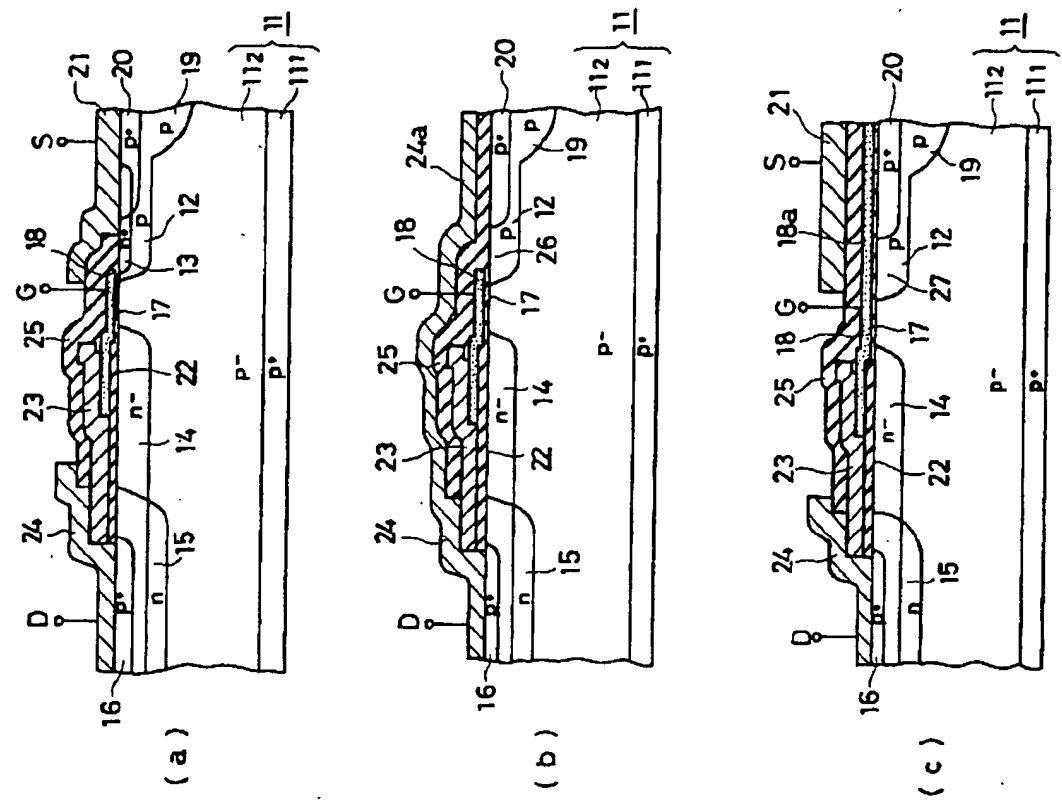
第2図



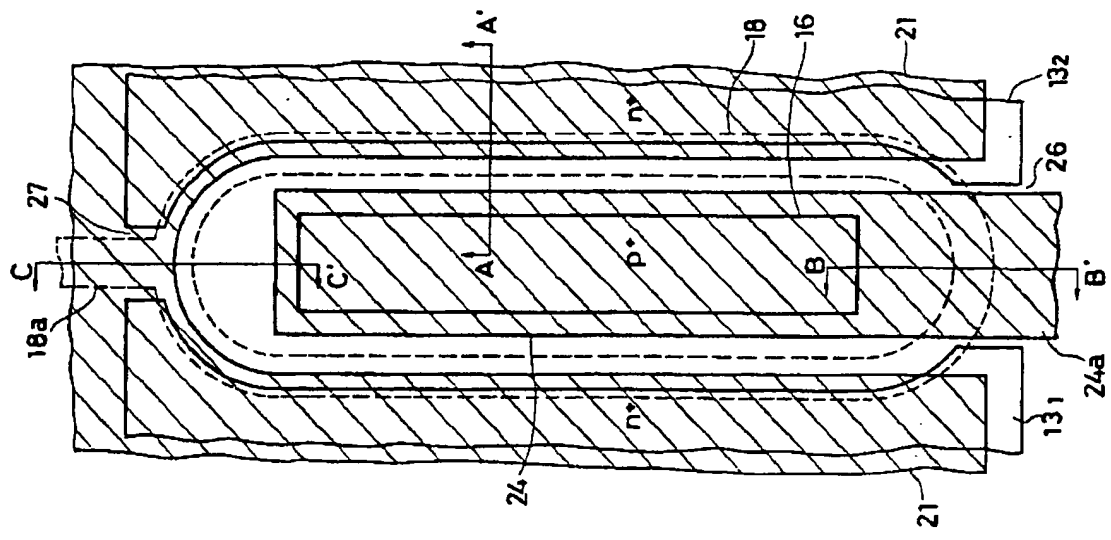
第 3 図



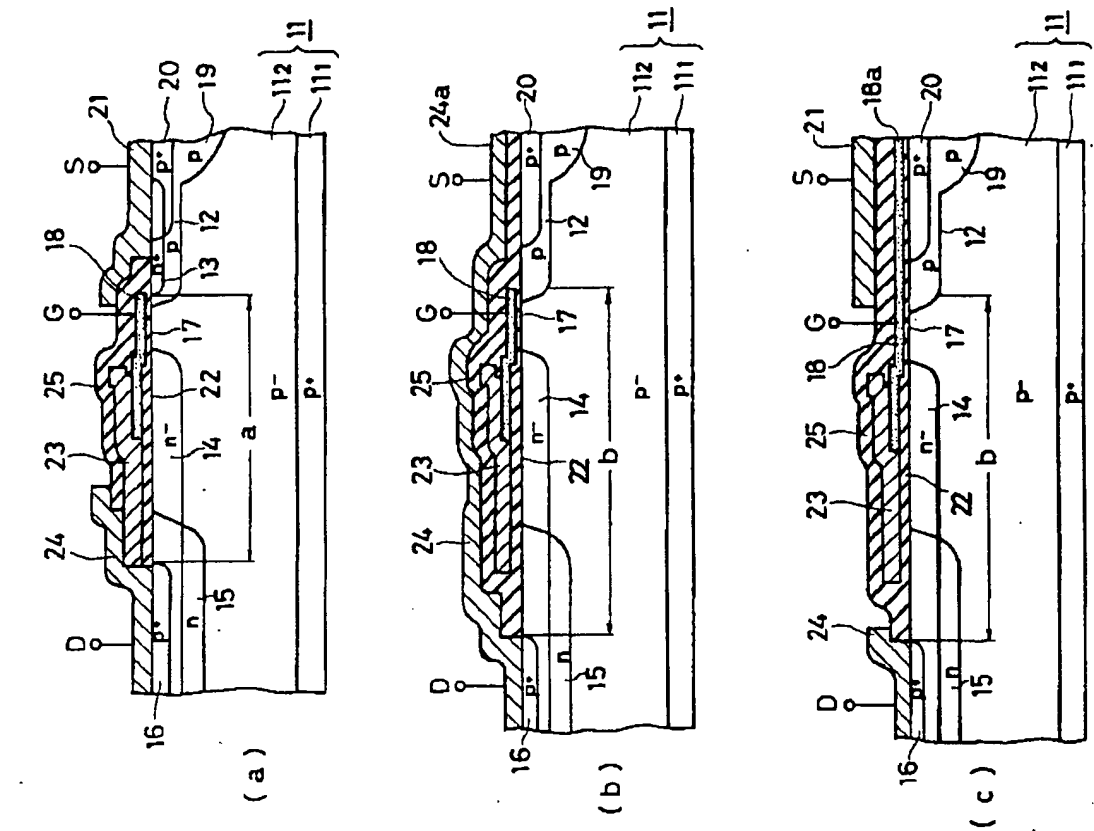
第 4 図



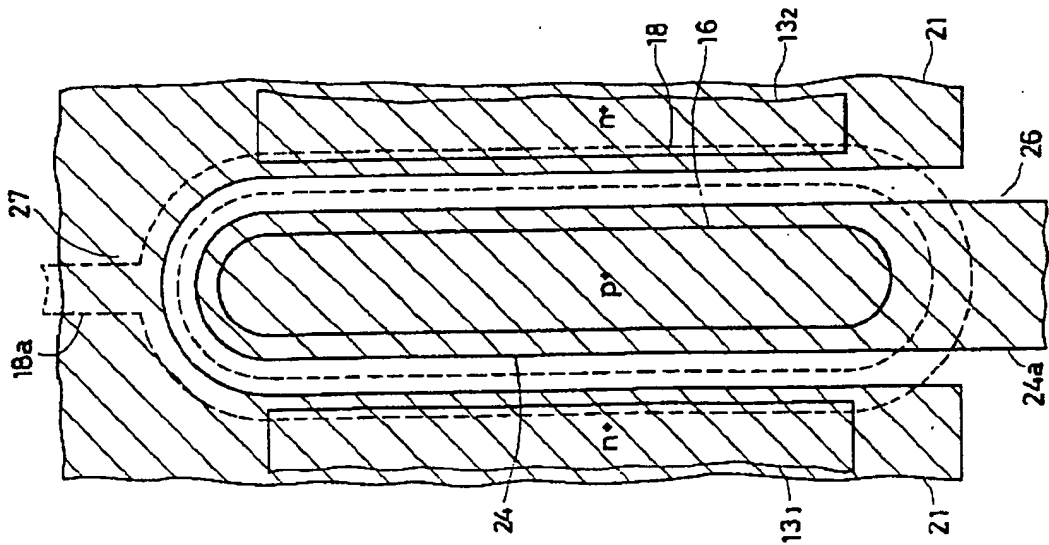
第 5 図



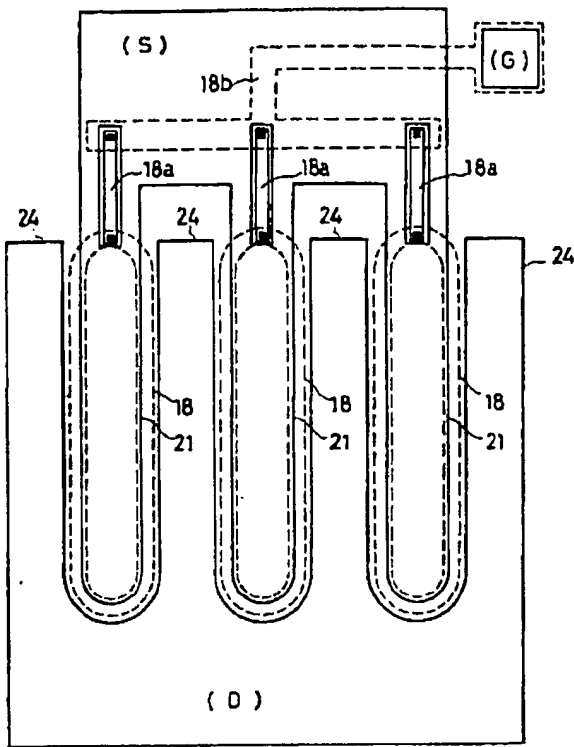
第 6 図



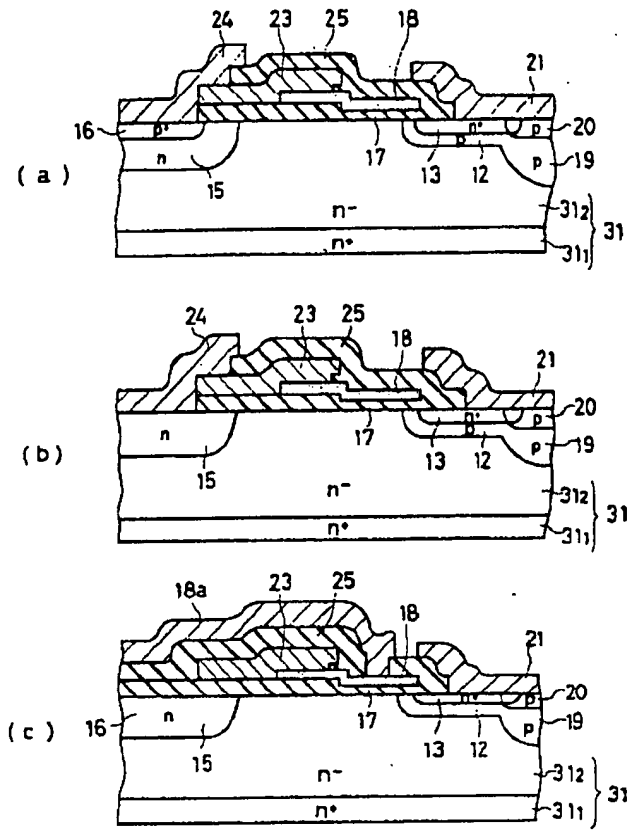
第 7 図



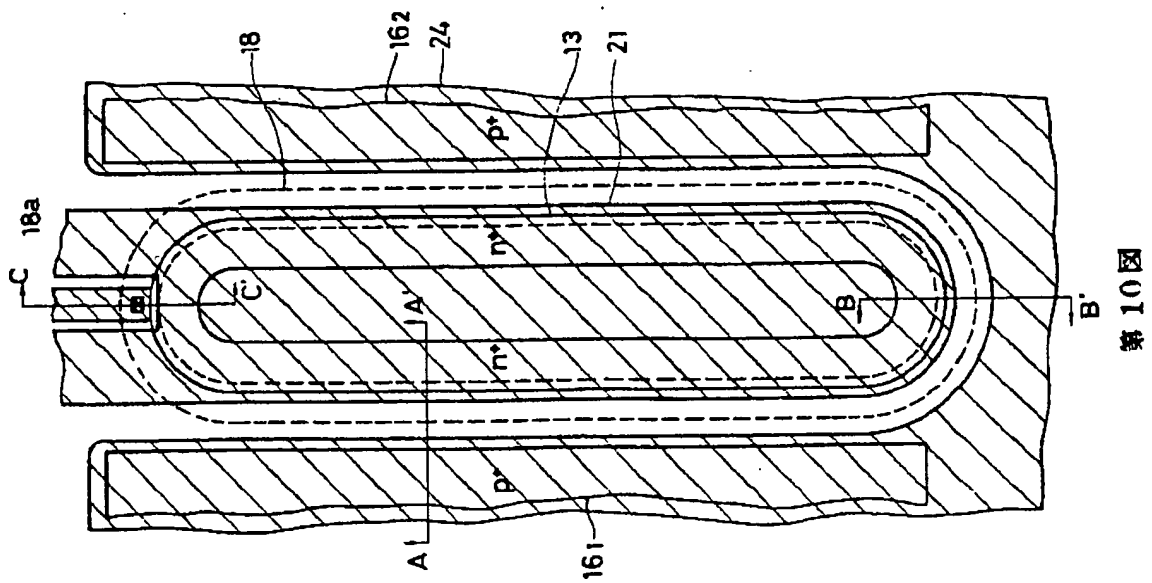
第 8 図



第 9 図

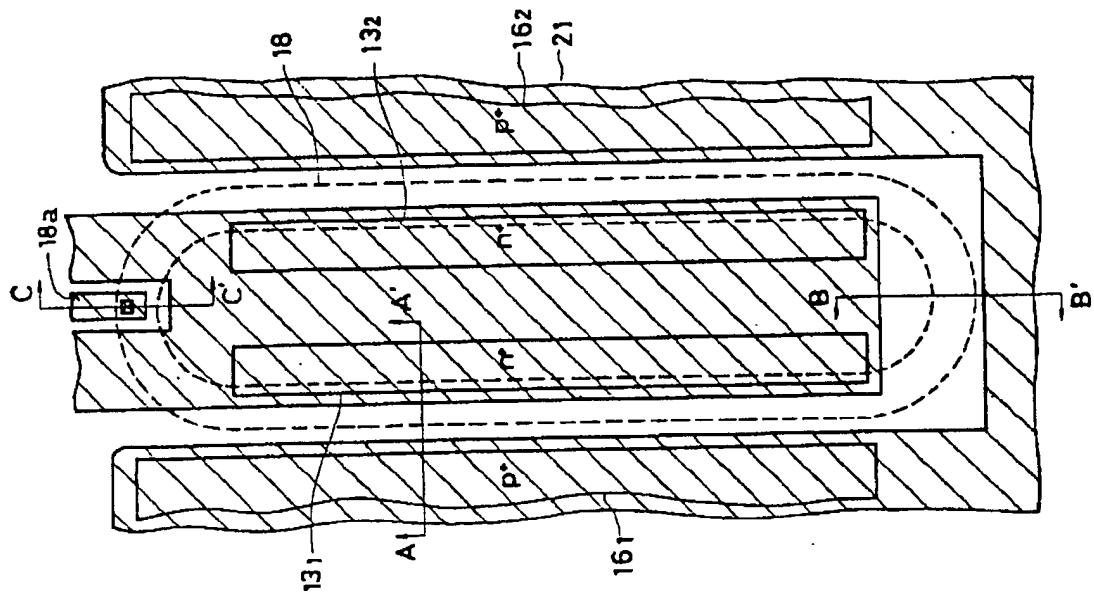


第 11 図

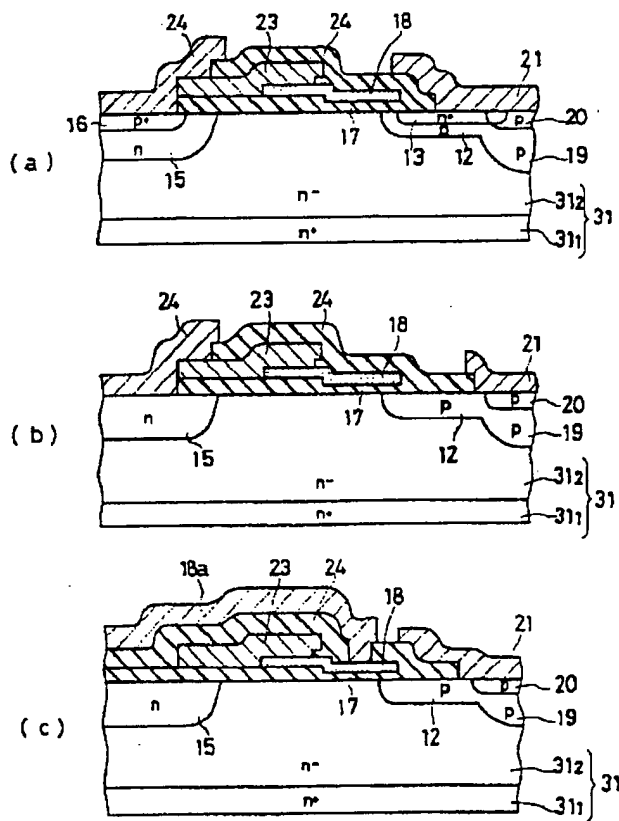


第 10 図

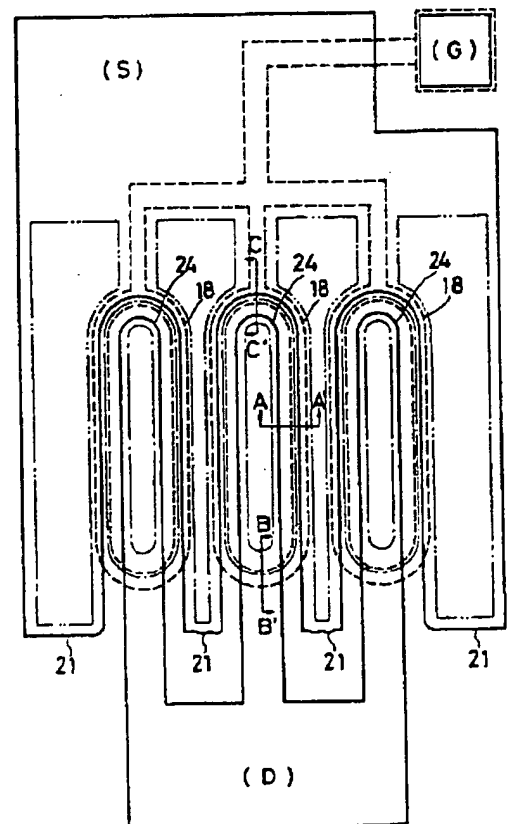




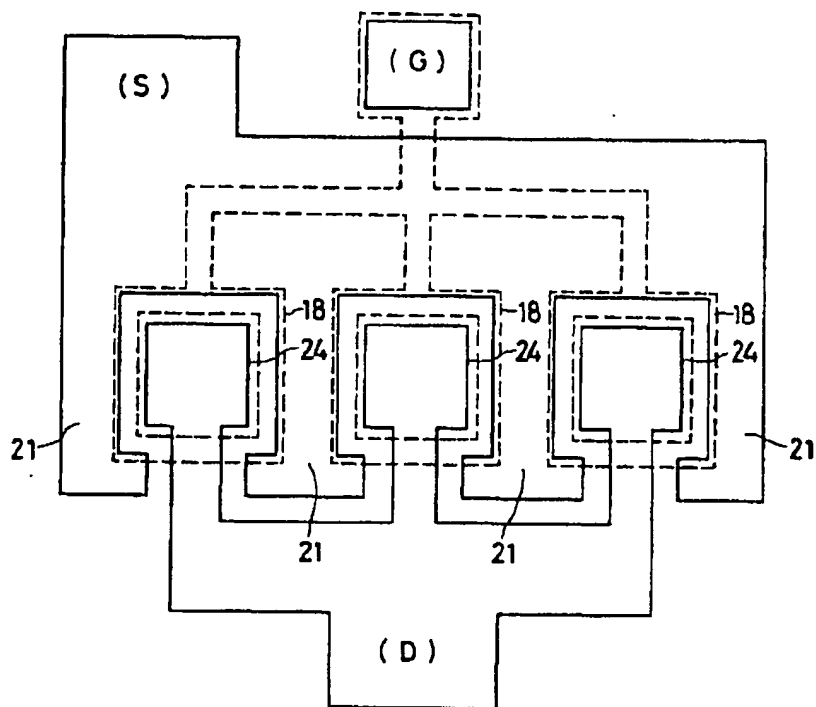
第12図



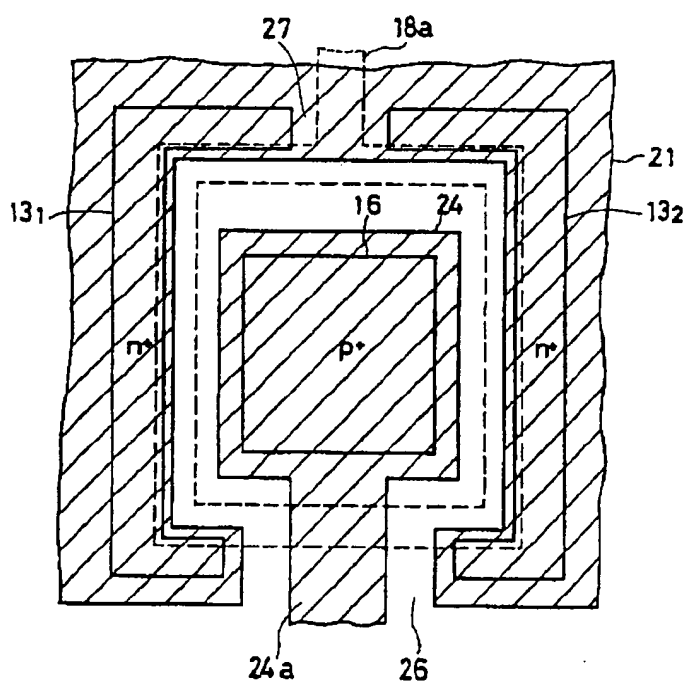
第13図



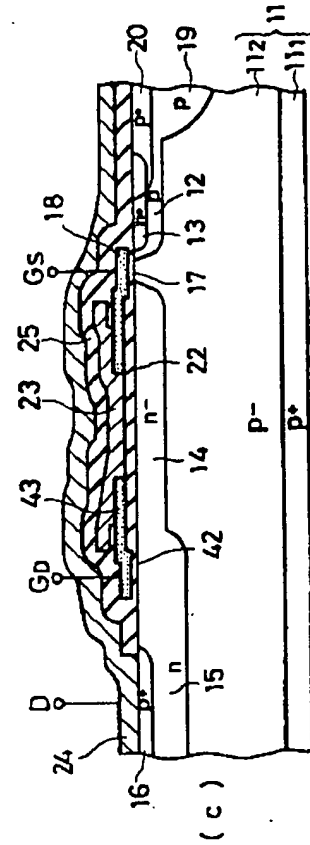
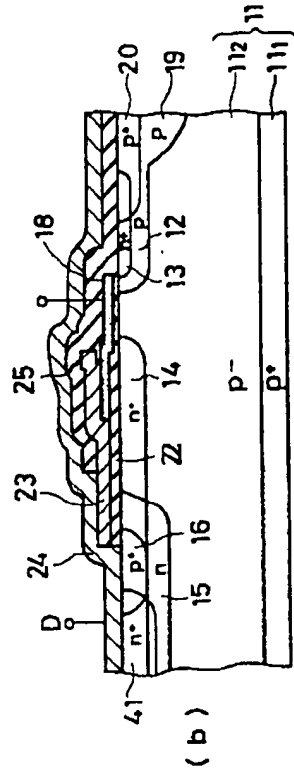
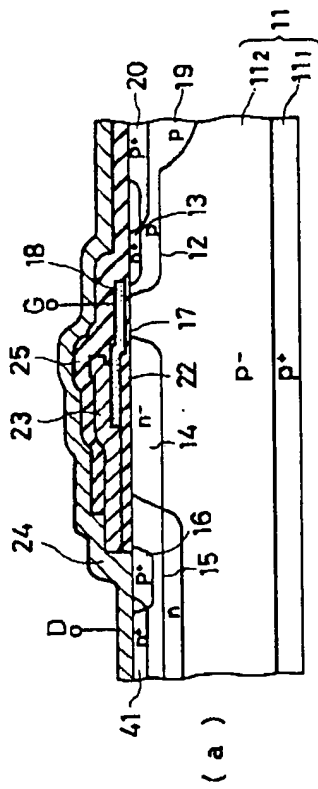
第17図



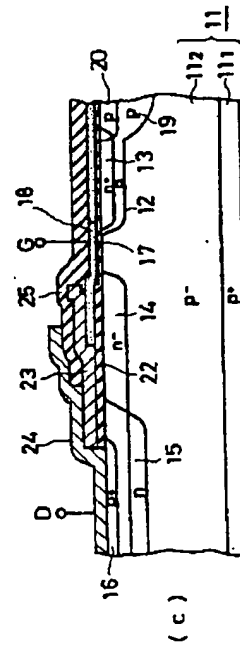
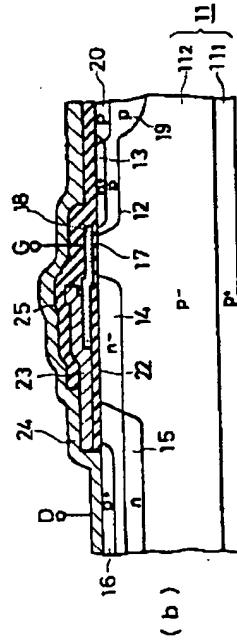
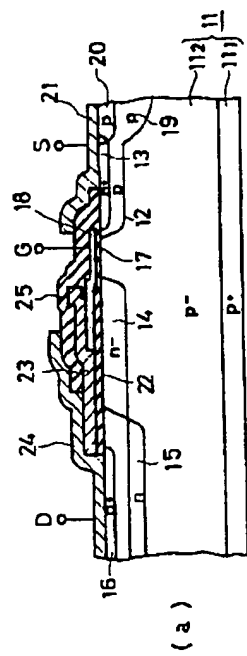
第 14 図



第 15 図



第16図



第18図